

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172062

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H01L 21/301
H01L 21/3213

(21)Application number : 06-312834

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 16.12.1994

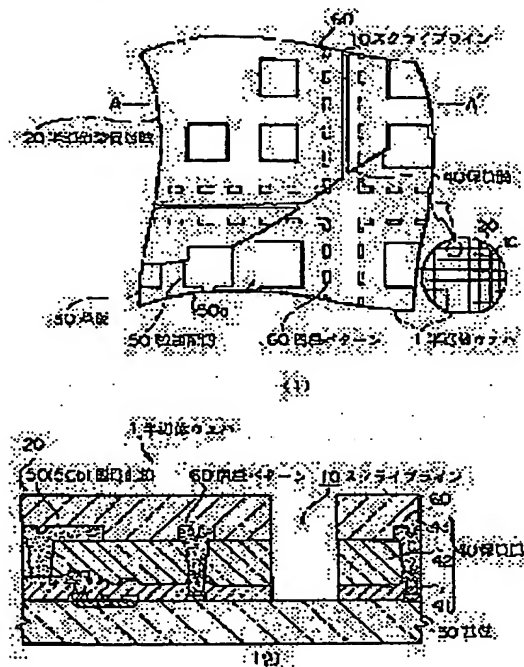
(72)Inventor : OKAJIMA TAKEHIKO

(54) SEMICONDUCTOR WAFER AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide the manufacturing method of semiconductor wafer capable of securing the bond properties between protective films and functional wirings.

CONSTITUTION: Within a semiconductor wafer 1 wherein semiconductor device regions 20 formed of functional wiring 50 as well as scribe lines 16 are arranged on the same substrate 30 so as to remove the protective films 40 formed on the substrate 30 in the covering state of the functional wirings 50 are arranged between respective semiconductor device regions 20, peripheral patterns 60 along the scribe lines 10 and the functional wirings 50. This peripheral patterns 60 are formed in the same process as that of the functional wirings 50. The protective films 40 are composed of three layers of the first and third protective film 41-43 while the peripheral patterns 60 reach from the substrate 30 to the third protective film 43. Through these procedures, the tension on the end parts of respective protective films 40 are divided by peripheral patterns 60 thereby enabling the release and cracking of the protective films 40 to be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-172062

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁶

H01L 21/301

21/3213

識別記号

F I

H01L 21/78

21/88

L

C

審査請求 未請求 請求項の数 3 O L (全6頁)

(21)出願番号 特願平6-312834

(22)出願日 平成6年(1994)12月16日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 岡島 武彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

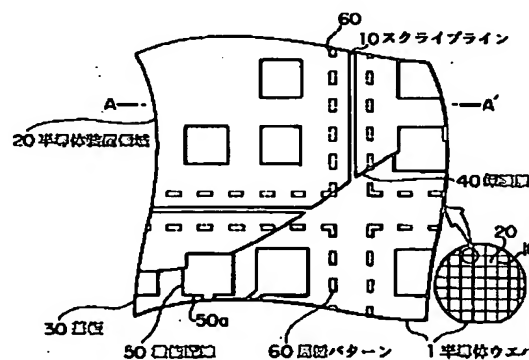
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体ウエハ及び半導体ウエハの製造方法

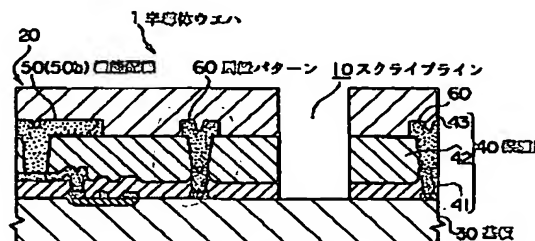
(57)【要約】

【目的】 保護膜と機能配線との密着性を確保できる半導体ウエハ及びその製造方法を提供する。

【構成】 機能配線50が形成された複数の半導体装置領域20が同一の基板30上に配置され、機能配線50を覆う状態で基板30上に成膜された保護膜40を除去してなるスクライプライン10を各半導体装置領域20間に配置してなる半導体ウエハ1において、スクライプライン10と機能配線50との間にスクライプライン10に沿って周縁パターン60を配置する。周縁パターン60は、機能配線50と同一プロセスで形成されたものである。保護膜40は第1～第3保護膜41～43の3層からなり、周縁パターン60は基板30から最上層の第3保護膜43の内部にまで達する。これによって、各保護膜40の端部に掛かる力が周縁パターン60で分断され、保護膜40の剥がれや割れが防止される。



(1)



(2)

図2は半導体ウエハの形成図

【特許請求の範囲】

【請求項 1】 機能配線が形成された複数の半導体装置領域が同一基板上に配置され、前記機能配線を覆う状態で前記基板上に成膜された保護膜を除去してなるスクライプラインを当該各半導体装置領域を囲む状態で配置してなる半導体ウエハにおいて、前記スクライプラインと前記機能配線との間には、前記保護膜に埋め込まれる状態で前記基板にまで達する周縁パターンが当該スクライプラインに沿って配置されることを特徴とする半導体ウエハ。

【請求項 2】 請求項 1 記載の半導体ウエハにおいて、前記保護膜は、異なる材質の複数の層からなるものであり、前記周縁パターンは、最上層の前記保護膜の内部にまで達するものであることを特徴とする半導体ウエハ。

【請求項 3】 請求項 1 または 2 記載の半導体ウエハの製造方法であって、前記基板上に前記機能配線を形成する際に、当該機能配線と同一の工程で前記周縁パターンを形成することを特徴とする半導体ウエハ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の半導体装置が形成される半導体ウエハの構造及び半導体ウエハの製造方法に関する。

【0002】

【従来の技術】 基板上に複数の半導体装置が配列される半導体ウエハには、基板上を覆う保護膜を除去してなるスクライプラインやダイシングライン（以下、スクライプラインと記す）が設けられる。このスクライプラインは、各半導体装置が配置されている領域を区切る位置に配置され、半導体ウエハを各半導体装置毎のチップ状に分割する際には、このスクライプラインに沿って半導体ウエハを切断する。

【0003】 そして、例えば特開平 4-251960 号公報に示される半導体ウエハでは、このスクライプラインが配置される基板部分に多結晶半導体が充填された溝が形成されている。上記構成の半導体ウエハでは、例えばダイシング・ソーで当該半導体ウエハを切断する際に基板に加わる衝撃が上記溝内の多結晶半導体で吸収され、この衝撃によって単結晶からなる基板部分にダメージ加わることが防止される。

【0004】

【発明が解決しようとする課題】 しかし、上記の半導体ウエハには、以下のような課題があった。すなわち、上記半導体ウエハをダイシング・ソーで切断する際には、上記スクライプラインの内壁を構成する保護膜の断面にダイシング・ソーの側壁が接触する場合がある。このような場合に、上記保護膜が有機系材料からなるもので、保護膜がカッターに粘着してその端部が捲くれ上が

る。また、保護膜が酸化シリコンまたは窒化シリコン等の硬脆材料からなるものでは、ダイシング・ソーから伝わる振動で保護膜にクラックが発生する。

【0005】 上記構造の半導体ウエハでは、これらの保護膜がスクライプラインから半導体装置を構成する機能配線の配置部にまで一様に繋がっている。このため、上記保護膜の剥がれやクラックが上記機能配線の配置部分にまで達し易く、保護膜と機能配線及び当該機能配線の配置部分での異なる材質の保護膜間の密着性が劣化するという問題がある。

【0006】

【課題を解決するための手段】 上記目的を達成するための本発明の半導体ウエハは、基板上の保護膜を除去してなるスクライプラインが配置された半導体ウエハにおいて、このスクライプラインと半導体装置を構成する機能配線との間に周縁パターンを配置する。この周縁パターンは、保護膜に埋め込まれる状態で上記基板にまで達するものであり、上記スクライプラインに沿って配置される。

【0007】 また、上記半導体ウエハの製造方法は、上記機能配線を形成する際に当該機能配線と同一の工程で上記周縁パターンを形成する。

【0008】

【作用】 上記半導体ウエハには、機能配線とスクライプラインとの間に保護膜に埋め込まれる状態で基板にまで達する周縁パターンが配置されていることから、当該保護膜は周縁パターンの配置部分で分断された状態になる。このため、スクライプライン近傍の保護膜にかかる力は、周縁パターンより内側の保護膜部分に伝わり難い。

【0009】 そして、上記半導体ウエハの製造方法では、半導体装置を構成する機能配線と同一工程で上記周縁パターンを形成することによって、周縁パターンを形成する工程を特別に設ける必要なく上記半導体ウエハが形成される。

【0010】

【実施例】 以下、本発明の実施例を図 1 の構成図に基づいて説明する。ここで、図 1 (1) は、実施例の半導体ウエハ 1 とその要部を拡大した平面図であり、図 1

(2) は上記平面図の A-A' 部分の断面図である。半導体ウエハ 1 には、スクライプラインやダイシングライン（以下、スクライプラインと記す）10 で仕切られた複数の半導体装置領域 20 が配列されている。また、上記半導体領域 20 の基板 30 上には機能配線 50 が配置され、この機能配線 50 とスクライプライン 10 との間の半導体装置領域 20 にはスクライプライン 10 に沿って周縁パターン 60 が配置される。

【0011】 上記スクライプライン 10 は、基板 30 上を覆う保護膜 40 に形成されたスペース部分で構成される線である。上記保護膜 40 は、上記機能配線 50 と周

10

20

30

40

50

縁パターン 60 とを覆う状態で基板 30 上に形成された絶縁性の膜であり、例えば下層から第 1 保護膜 41、第 2 保護膜 42、第 3 保護膜 43 の順に当該基板 30 上に成膜されている。例えばここでは、第 1 保護膜 41 は窒化シリコンからなり、第 2 保護膜 42 及び第 3 保護膜 43 はポリイミドからなるものとする。

【0012】上記機能配線 50 は、半導体装置を構成する配線であり、ボンディングパッド 50a やその他の回路 50b からなる。また、上記周縁パターン 60 は、基板 30 から第 3 保護膜 43 の内部にまで達するものであり、例えば機能配線 50 と同一のプロセスで形成されたダミー配線からなる。この周縁パターン 60 の平面形状は、例えば矩形状であり、スクライブライン 10 に沿って半導体装置領域 20 に配置される機能配線 50 を囲むようにその長手方向に一定間隔で配置されている。

【0013】上記の他にも、周縁パターン 60 は、例えばその平面形状がライン状や一連のリング状でも良く、また配置状態も一列に限定されず 2 列以上の複数列でもよい。

【0014】上記構成の半導体ウエハ 1 では、スクライブライン 10 で囲まれた半導体装置領域 20 に配置された周縁パターン 60 によって保護膜 40 がスクライブライン 10 に沿った周縁部分とその内側の部分とに分断された状態になる。このため、例えば図 2 に示すように、半導体ウエハ 1 を各半導体装置領域 20 毎にダイシング・ソー 7 で切断してチップ状にする場合にダイシング・ソー 7 の側面がスクライブライン 10 の内壁を構成する保護膜 40 に接触して保護膜 40 の端部が捲れ上がっても、保護膜 40 の端部に加わった力が周縁パターン 60 より内側に伝わることを防止される。

【0015】このため、図 3 に示すように機能配線 50 に接触する保護膜 40 部分では、窒化シリコン膜からなる第 1 保護膜 41 にクラックが入ることが防止され、ポリイミドからなる第 2 及び第 3 保護膜 42、43 が第 1 保護膜 41 及び機能配線 50 から剥がれることが防止される。したがって、保護膜 40 と機能配線 50 との密着性が保たれる。そして、例えば、第 3 保護膜 43 の端部を上方向に引っ張る力が働いても、第 2 及び第 3 保護膜 42、43 が剥がれたり、第 2 保護膜 42 に接着した状態の第 1 保護膜 41 が割れることが防止される。

【0016】以下に、上記半導体ウエハ 1 の製造方法の一例を図 4、図 5 に基づいて説明する。ここでは、上記周縁パターン 60 が、矩形状である場合を例にとって説明を行う。先ず図 4 (1) に示すように、n 型の拡散層 31 とゲート電極 32 とが形成された基板 30 上に、リフトオフ法によって上記機能配線 (50) の一部となるオーミック電極 51 と周縁パターン (60) の一部となるダミー電極 61 とを同一のマスクを用いて形成する。

【0017】上記基板 30 はガリウムヒ素 (GaAs) からなり、上記 n 型の拡散層 31 には不純物としてシリ

コンイオンが注入されている。このシリコンイオンは、熱処理によって活性化されている。また、上記ゲート電極 32 は、タングステンナイトライド (WN)、タングステンシリサイド (WSi) またはタングステンアルミニウム (WAl) 等の高融点金属やその化合物からなる。そして、上記オーミック電極 51 及びダミー電極 61 は、上層から金 (Au) / ニッケル (Ni) / 金-ゲルマニウム (Au-Ge) の 3 層構造で構成される。

【0018】次に、図 4 (2) に示すように、上記各電極を覆う状態で基板 30 上に第 1 保護膜 41 として窒化シリコン膜を成膜する。そして、同一のレジストパターンをマスクにした RIE によって、オーミック電極 51 とダミー電極 61 に達する各コンタクトホール 41a を第 1 保護膜 41 に形成する。

【0019】その後、図 4 (3) に示すように、リフトオフ法によって、オーミック電極 51 に接続し上記機能配線 (50) を構成する第 1 層配線 52 と、ダミー電極 61 に接続し上記周縁パターン (60) の一部となる第 1 層ダミー配線 62 とを形成する。上記第 1 層配線 52 及び第 1 層ダミー配線 62 は、上層から金 (Au) / プラチナ (Pt) / チタン (Ti) の 3 層構造で構成される。

【0020】次に、図 4 (4) に示すように、第 1 層配線 52、第 1 層ダミー配線 62 及び第 1 保護膜 41 を覆う状態で、第 2 保護膜 42 となるポリイミド膜を形成する。そして、同一のレジストパターンをマスクにした RIE によって、第 1 層配線 52 と第 1 層ダミー配線 62 とに達する各コンタクトホール 42a をそれぞれ第 2 保護膜 42 に形成する。

【0021】次いで、図 5 (5) に示すように、リフトオフ法によって、第 1 層配線 52 に接続し上記機能配線 (50) を構成する第 2 層配線 53 と、第 1 層ダミー配線 62 に接続し上記周縁パターン (60) の一部となる第 2 層ダミー配線 63 とを形成する。上記第 2 層配線 53 及び第 2 層ダミー配線 63 は、上記第 1 層配線 52 及び第 1 層ダミー配線 62 と同様に Au / Pt / Ti の 3 層構造で構成する。

【0022】その後、図 5 (6) に示すように、上記各配線及び第 2 保護膜 42 上にポリイミド膜の前駆体を塗布し、この前駆体に対して 350℃ で 30 分間の熱処理を行う。これによって、第 2 保護膜 42 上にポリイミド膜からなる第 3 保護膜 43 を形成する。そして、基板 30 上に形成した機能配線 50 と周縁パターン 60 とが保護膜 40 で覆われた半導体ウエハ 1a を形成する。

【0023】次に、図 5 (7) に示すように、同一のレジストパターンをマスクにした RIE によって上記機能配線 50 を構成するボンディングパッド (図示せず) 上の保護膜 40 を除去してボンディングパッドを露出させる。これと同じ工程で、隣合う半導体装置領域 (20) の周縁パターン 60 間の保護膜 40 を除去してスクライ

ブライン 10 を形成する。これによって、半導体ウエハ 1 が形成される。

【0024】上記手順のように、半導体装置を構成する機能配線 50 と同一のマスクを用いた同一プロセスで周縁パターン 60 を形成することによって、製造プロセスを増加することなく上記周縁パターン 60 を有する半導体ウエハ 1 が形成される。

【0025】上記実施例では、周縁パターン 60 の平面形状が矩形状である場合の製造方法を説明した。しかし、周縁パターン 60 が上記機能配線 50 を囲む一連のリング状パターンである場合には、レジストパターンをマスクにして配線形成材料層をエッチング加工することによって機能配線 50 及び周縁パターン 60 を形成する。

【0026】また、上記実施例において、第 2 層配線 53 上にさらに第 3 層配線を形成して機能配線 50 を形成しこの第 3 層配線を覆う状態で第 3 保護膜 43 上に第 4 保護膜を形成する場合には、第 2 層ダミー配線 63 上に上記第 3 層配線と同一工程で第 3 層ダミー配線を形成する。尚、上記第 4 保護膜を、上記第 3 保護膜 43 と同様のポリイミドで形成する場合には、第 3 保護膜 43 と上記第 4 保護膜とが同一化するため、上記第 3 層ダミー配線を形成する必要はない。

【0027】さらに、上記実施例で示した半導体ウエハ及びその製造手順はあくまでも一例であり、上記に限定されるものではない。例えば、保護膜としては、上記窒化シリコンやポリイミドの他に、酸化シリコン、窒化酸化シリコン及びポリイミド以外の有機絶縁膜等を用いても良い。また、配線構造も、2 層及び 3 層以上の多層構造や単層構造にも適用可能である。

【0028】また、上記周縁パターン 60 は、上記機能

配線 50 と同一工程で形成したものに限定されるものではなく、周縁パターン 60 を機能配線 50 と別の工程で形成しても良い。

【0029】

【発明の効果】以上説明したように本発明の半導体ウエハによれば、機能配線とスクライプラインとの間に保護膜に埋め込まれる状態で基板にまで達する周縁パターンを配置することによって、スクライプラインで分断された保護膜の端部に加わる力が上記周縁パターンより内側の保護膜部分に伝わることを防止できる。これによって、保護膜の割れや剥がれが上記機能配線にまで達することが防止され、保護膜と機能配線及び異なる材質の保護膜間の密着性を保つことが可能になる。また、本発明の半導体ウエハの製造方法によれば、半導体装置を構成する機能配線と同一工程で上記周縁パターンを形成することによって、製造工程を増加させることなく上記半導体ウエハを製造することが可能になる。

【図面の簡単な説明】

【図 1】実施例の半導体ウエハの構成図である。

【図 2】半導体ウエハの切断を説明する第 1 図である。

【図 3】半導体ウエハの切断を説明する第 2 図である。

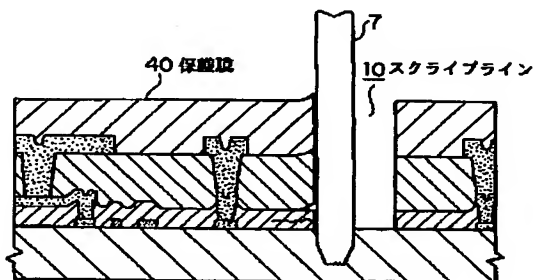
【図 4】半導体ウエハの製造方法を示す第 1 図である。

【図 5】半導体ウエハの製造方法を示す第 2 図である。

【符号の説明】

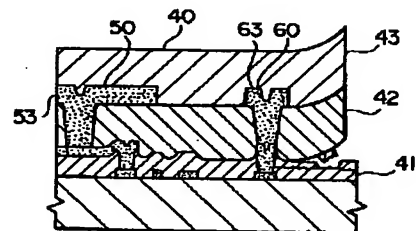
- 1 半導体ウエハ
- 10 スクライプライン
- 20 半導体装置領域
- 30 基板
- 40 保護膜
- 50 機能配線
- 60 周縁パターン

【図 2】



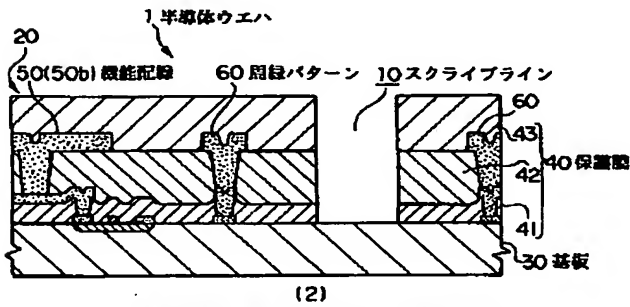
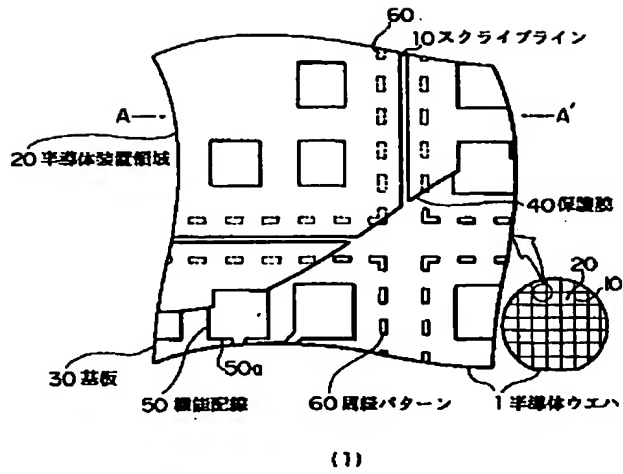
半導体ウエハの切断を説明する第 1 図

【図 3】



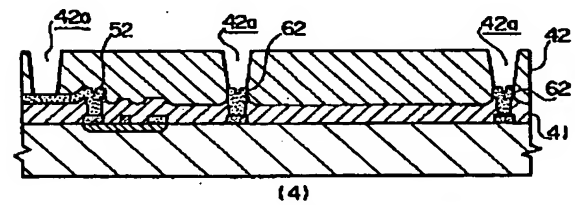
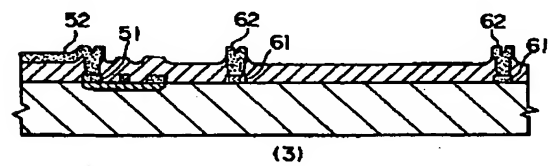
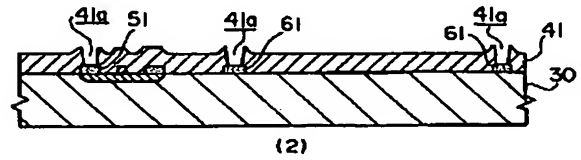
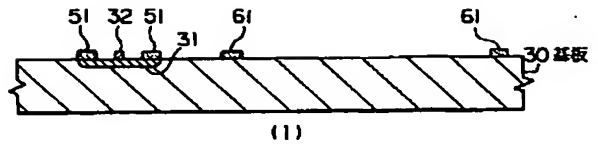
半導体ウエハの切断を説明する第 2 図

【図 1】



実施例の半導体ウエハの構成図

【図 4】



半導体ウエハの製造方法を示す第 1 図

Fig. 1a is a cross-sectional view of a substrate. The substrate consists of layers 30, 41, 42, and 43. A patterned layer 60 is formed on the surface, with a portion 50 labeled as "機能配線" (functional wiring). A label "1a" points to the overall structure.

[illegible]

半導体ウエハの製造方法を示す第2図